

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-158218

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H01L 21/31
C23C 16/30
C23C 16/44
H01L 21/316
H01L 29/786
H01L 21/336

(21)Application number : 2000-354979

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.11.2000

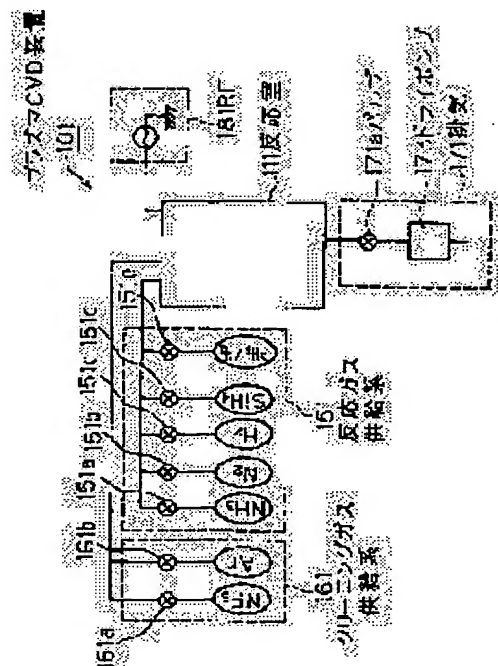
(72)Inventor : TAKADA MANABU
NAGAHISA SHUYA

(54) FILM FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a film forming method in a plasma CVD apparatus, which suppresses the influence of a cleaning gas on TFTs and the growth of particles as well.

SOLUTION: The film forming method comprises a step for carrying a transparent insulation substrate out of a reaction chamber 111 of a plasma CVD apparatus 101, self-cleaning the interior thereof with a cleaning gas, forming a silicon nitride film on the inner wall of the reaction chamber 111, forming an amorphous silicon film thereon, and forming a silicon nitride film thereon, thereby making TFT characteristics satisfactory and suppressing the number of particles.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-158218

(P2002-158218A)

(43) 公開日 平成14年 5 月31日 (2002. 5. 31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 21/31		H 0 1 L 21/31	C 4 K 0 3 0
C 2 3 C 16/30		C 2 3 C 16/30	5 F 0 4 5
	16/44	16/44	J 5 F 0 5 8
H 0 1 L 21/316		H 0 1 L 21/316	X 5 F 1 1 0
29/786		29/78	6 1 8 A
審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2000-354979(P2000-354979)

(22) 出願日 平成12年11月21日(2000. 11. 21)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 高田 学

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(72) 発明者 永久 修也

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(74) 代理人 100059225

弁理士 藤田 璋子 (外3名)

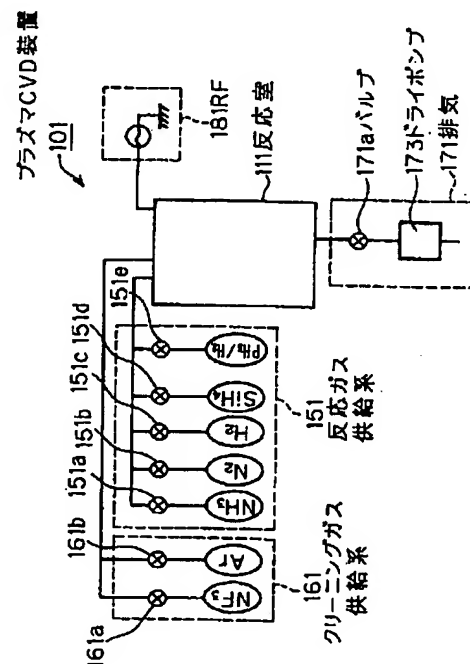
最終頁に続く

(54) 【発明の名称】 成膜方法

(57) 【要約】

【課題】 T F T へのクリーニングガスの影響を抑さえつつ、かつ、パーティクルの発生も抑制することができるプラズマCVD装置における成膜方法を提供する。

【解決手段】 プラズマCVD装置101の反応室111内部から透明絶縁基板を搬出した後、クリーニングガスによってその内部をセルフクリーニングした後、反応室111の内壁に窒化シリコン膜を形成し、その上に非晶質シリコン膜を形成し、その上にさらに窒化シリコン膜を成膜することによって、T F T 特性を良好にし、パーティクル数も抑制する。



【特許請求の範囲】

【請求項1】プラズマCVD装置により絶縁基板上へ半
導体薄膜を作成する成膜方法において、
前記絶縁基板を前記プラズマCVD装置の反応室内部に
搬入するに先立ち、
所定のクリーニングガスによって前記反応室内部をセル
フクリーニングするクリーニング工程と、
前記反応室の内壁に窒化シリコン膜よりなる第1の膜を
形成し、その上に非単結晶シリコン膜よりなる第2の膜
を形成し、その上にさらに窒化シリコン膜よりなる第3
の膜を形成するダミー成膜工程と、
を有することを特徴とする成膜方法。

【請求項2】前記第1の膜と、前記第2の膜と、前記第
3の膜を同じ厚さに成膜することを特徴とする請求項1
記載の成膜方法。

【請求項3】前記ダミー成膜工程に引き続いて、前記反
応室内に前記絶縁基板を搬入して、前記絶縁基板上に酸
化シリコン膜を堆積し、その上に窒化シリコン膜を堆積
し、その上に非単結晶シリコン膜を堆積して半導体薄膜
を作成する工程を行うことを特徴とする請求項1記載の
成膜方法。

【請求項4】前記半導体薄膜を作成する工程は、透明絶
縁基板上に薄膜トランジスタを作成する工程であることを
特徴とする請求項3記載の成膜方法。

【請求項5】前記半導体薄膜を作成する工程において、
非単結晶シリコン膜を堆積した後、その上に窒化シリコ
ン膜を堆積することを特徴とする請求項3記載の成膜方
法。

【請求項6】前記反応室の内壁は、セラミック製である
ことを特徴とする請求項1記載の成膜方法。

【請求項7】前記反応室の内壁は、アルミニウム製であ
ることを特徴とする請求項1記載の成膜方法。

【請求項8】前記クリーニングガスは、少なくとも三フ
ッ化窒素を含むことを特徴とする請求項1記載の成膜方
法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリ
クス型液晶表示装置のスイッチング素子として用いられ
る薄膜トランジスタ等の半導体薄膜をプラズマCVD装
置により成膜する成膜方法に関するものである。

【0002】

【従来の技術】近年、液晶表示装置等の平面表示装置
は、薄型、軽量、低消費電力の特徴を生かして、パーソ
ナル・コンピュータ、ワードプロセッサあるいは小型T
V等の表示装置として、更に投射型TV等の表示装置と
して各種分野で利用されている。

【0003】中でも、各画素電極にスイッチ素子が電気
的に接続されて成るアクティブマトリクス型液晶表示
装置は、隣接画素間でクロストークのない良好な表示画

像を実現できることから、平面表示装置の主流となっ
ている。

【0004】アクティブマトリクス型液晶表示装置のス
イッチング素子としては、薄膜トランジスタが広く用い
られる。薄膜トランジスタは、低温で形成でき、しかも
透明絶縁基板上の比較的大面積にわたって一括して形成
でき、また、スイッチング特性に優れるからである。

【0005】このスイッチング素子としての薄膜トラン
ジスタ（以下、TFTと略称する。）は、ガラスや石英
等の透明絶縁基板上にあって、マトリクス状に配列され
る画素電極ごとに設けられる。TFTのゲート電極と、
TFTのソース電極及びドレイン電極との間には、窒化
シリコン膜等からなるゲート絶縁膜が配置されて、これ
らの間が絶縁されている。前記のソース電極及びドレ
イン電極に接する半導体活性層とから構成される。

【0006】

【発明が解決しようとする課題】上記のようにTFTを
透明絶縁基板上に形成する場合に、プラズマCVD装置
が用いられる。すなわち、このプラズマCVD装置によ
って、透明絶縁基板上に酸化シリコン膜、窒化シリコ
ン膜、非単結晶シリコン膜を堆積し、その上に窒化シリ
コン膜を成膜するものである。

【0007】そして、プラズマCVD装置では、一定枚
数の透明絶縁基板（アレイ基板）を処理した後、クリ
ーニングガスを用いて反応室内部をセルフクリーニング
している。

【0008】ところが、クリーニングガスによる成膜へ
の影響をなくすために、従来よりセルフクリーニングを
行った後に、反応室の内壁にオーバーコートを行っている。
このオーバーコートの成膜構造としては、窒化シリ
コン膜、非単結晶シリコン膜を形成するのが一般的であ
った。

【0009】しかしながら、このような2層のオーバー
コートを実施すると、まれにパーティクルが多発して、
アレイ基板の歩留まりを悪くするという問題点があっ
た。

【0010】そこで、本発明は、上記問題点に鑑み、薄
膜トランジスタの製造におけるプラズマCVD装置にお
いて、TFTへのクリーニングガスの影響を押さえつ
つ、かつ、パーティクルの発生も抑制することができる
プラズマCVD装置の成膜方法を提供する。

【0011】

【課題を解決するための手段】請求項1の発明は、プラ
ズマCVD装置により絶縁基板上へ半導体薄膜を作成す
る成膜方法において、前記絶縁基板を前記プラズマC
VD装置の反応室内部に搬入するに先立ち、所定のクリ
ーニングガスによって前記反応室内部をセルフクリー
ニングするクリーニング工程と、前記反応室の内壁に窒化
シリコン膜よりなる第1の膜を形成し、その上に非単結
晶シリコン膜よりなる第2の膜を形成し、その上にさらに

窒化シリコン膜よりなる第3の膜を形成するダミー成膜工程と、を有することを特徴とする成膜方法である。

【0012】請求項2の発明は、前記第1の膜と、前記第2の膜と、前記第3の膜を同じ厚さに成膜することを特徴とする請求項1記載の成膜方法である。

【0013】請求項3の発明は、前記ダミー成膜工程に引き続いて、前記反応室内に前記絶縁基板を搬入して、前記絶縁基板上に酸化シリコン膜を堆積し、その上に窒化シリコン膜を堆積し、その上に非単結晶シリコン膜を堆積して半導体薄膜を作成する工程を行うことを特徴とする請求項1記載の成膜方法である。

【0014】請求項4の発明は、前記半導体薄膜を作成する工程は、透明絶縁基板上に薄膜トランジスタを作成する工程であることを特徴とする請求項3記載の成膜方法である。

【0015】請求項5の発明は、前記半導体薄膜を作成する工程において、非単結晶シリコン膜を堆積した後、その上に窒化シリコン膜を堆積することを特徴とする請求項3記載の成膜方法である。

【0016】請求項6の発明は、前記反応室の内壁は、セラミック製であることを特徴とする請求項1記載の成膜方法である。

【0017】請求項7の発明は、前記反応室の内壁は、アルミニウム製であることを特徴とする請求項1記載の成膜方法である。

【0018】請求項8の発明は、前記クリーニングガスは、少なくとも三フッ化窒素を含むことを特徴とする請求項1記載の成膜方法である。

【0019】本発明の成膜方法であると、クリーニング工程の後に、反応室の内壁に窒化シリコン膜よりなる第1の膜を形成し、その上に非単結晶シリコン膜よりなる第2の膜を形成し、その上にさらに窒化シリコン膜よりなる第3の膜を形成してオーバーコートを行うことにより、TFTへのクリーニングガスの影響を押さえつつ、かつ、パーティクルの発生も抑制することができる。

【0020】

【発明の実施の形態】本発明の実施例について図1～6を用いて説明する。

【0021】(TFTの構造) まず、図1に示す例により、アクティブマトリクス液晶表示装置の画素電極ごとに配置されるTFTの積層構造について簡単に説明する。図示のTFTは、逆スタガー型であり、非単結晶シリコンとして例えば非晶質シリコン(以下、a-Siと略称する)を活性層とするものである。

【0022】ガラス基板10上に形成されるTFT5は、ゲート電極13aと、このゲート電極13aを被覆するゲート絶縁膜1と、このゲート絶縁膜1を介してゲート電極13a上に積み重なる島状のa-Si薄膜18と、この上にさらに積み重なる、より小さい島状のチャンネル保護膜20と、これら島状の重ねパターン18、2

0を覆う、ソース電極31及びドレイン電極35とを備えて構成される。ここで、ソース電極31及びドレイン電極35と、TFTの活性層であるa-Si薄膜18との間には、良好なオーミック接触を与えるための、リンドーブされた非晶質シリコン膜(n^+ a-Si薄膜)25a、25bが配置される。また、チャンネル保護膜20上では、谷状に、導電層及びa-Si薄膜が除去されて、ソース電極31とドレイン電極35とを離間するバックチャンネル部を形成している。

【0023】(プラズマCVD装置) 次に、図2～3を用いてゲート絶縁膜を成膜するプラズマCVD装置について説明する。

【0024】プラズマCVD装置101は、図2に示すように、成膜を行う反応室111と、この反応室111に原料ガスを供給する原料ガス供給系151と、クリーニングガス供給系161と、反応室111を減圧する排気系171と、反応室111に高周波電力を供給する電源系181とから構成される。

【0025】原料ガス供給系151は、シラン(SiH_4)、窒素(N_2)、水素(H_2)、アンモニア(NH_3)、及び、水素希釈されたホスフィン(PH_3/H_2)の各原料ガスをそれぞれバルブ151a～151eを介して反応室111に供給する。

【0026】また、クリーニングガス供給系161は、三フッ化窒素(NF_3)及びアルゴン(Ar)をそれぞれバルブ161a～161bを介して反応室111に供給する。

【0027】図3には、成膜を行う反応室111の断面構造を示す。反応室111は、全体が、表面にアルミナ(Al_2O_3)を被着したアルミニウム(Al)から構成されている。なお、表面はセラミックでもよい。

【0028】以下の説明において、サセブタの側を下方とし基板がサセブタの上面に載置されるものとするが、基板が垂直に配置される場合も全く同様である。

【0029】反応室111は、上下動可能に支持された逆カップ状の上側収納体121と、これに組み合わされるカップ状の下側収納体131とからなる。上側収納体121の中央部には反応ガス導入孔123が備えられ、下側収納体131の側壁には排気系171に接続する排気孔133が備えられる。

【0030】上側収納体121には、一方の電極であって、成膜される基板10上に原料ガスを均一に供給するためのガス吹き出し孔143を備えたガス導入電極141が支持されている。

【0031】一方、下側収納体131には、成膜する基板10を載置するためのサセブタ145が支持されており、このサセブタ145が、グランド電位に維持される他方の電極をなしている。基板10は、サセブタ145の主表面(上面)上にあって、基板に被せられるマスク149により固定される。サセブタ145の内部には基

板10の温度を調整するためのヒーター147が備えられている。

【0032】(TFTの製造工程)以下に、アクティブマトリクス型液晶表示装置のTFTを製造する工程について図4を参照して説明する。

【0033】(1)ゲート電極13a等の作成

まず、図4(a)に示すように、 360×465 mmのガラス基板10上にモリブデン・タングステン合金(Mo・W)の薄膜を形成し、これを複数本のストライプ状にパターンニングして、ゲート電極13a、及びゲート電極13aと一体の走査線(図示せず)、並びに補助容量線13bを形成する。

【0034】(2)プラズマCVDによるゲート絶縁膜等の成膜

このようにしてゲート電極13a等が形成されたガラス基板10を、プラズマCVD装置101の導入室及び搬送室(図示せず)を経て、反応室111に導く。ガラス基板10は、ゲート電極13a等が形成された主表面を上に向けたままサセプタ145上に載置され、この上にマスク149が被せられる。

【0035】反応室111中にてプラズマCVDにより、ガラス基板10上に、ゲート絶縁膜1を堆積する。このゲート絶縁膜1は2層構造であり、第1ゲート絶縁膜として酸化シリコン膜(SiO)を堆積し、その上に第2ゲート絶縁膜として窒化シリコン膜(SiN)を堆積する。

【0036】反応室111における電極間距離、すなわちガス導入電極141とサセプタ145の間の距離は15.2 mmに設定する。反応ガスとしては、流量300 sccmのシラン(SiH₄)、流量1500 sccmのアンモニア、及び、流量6500 sccmの窒素を反応室111に導入する。反応ガス導入とともに減圧排気を行い、反応室111内を2 Torrに維持する。また、ヒーター147加熱によりサセプタ145上の基板10を330℃まで上昇させる。

【0037】この状態で、電源系181から1300 Wの高周波電圧を供給することにより、シラン及びアンモニアをプラズマ化して、基板10上に400 nmの窒化シリコン膜1を堆積する。

【0038】次に、供給する反応ガスを切り替えて、非晶質シリコン17の堆積を行う。

【0039】反応ガスとして、流量500 sccmのシラン、及び2800 sccmの水素(H₂)ガスを供給し、減圧排気により1 Torrに維持する。基板10の温度を窒化シリコン膜成膜時と同様の330℃に制御し、電極間に150 Wの高周波電圧を印加する。このようにして、50 nmの非晶質シリコン17を堆積させる。

【0040】この後、さらに反応ガスを切り替えて、チャンネル保護膜を形成するための窒化シリコンの堆積を行う。反応ガスとして、流量200 sccmのシランガ

ス、及び1000 sccmのアンモニアガスを供給するとともに、キャリアガスとして7000 sccmの窒素ガスを供給する。このとき、減圧排気により1 Torrに維持する。基板10の温度は上記の成膜と同様330℃に制御したまま、電極間に1300 Wの高周波電圧を印加して、300 nmの窒化シリコン膜19を堆積させる。

【0041】以上のようにして、ガラス基板10上に、ゲート絶縁膜をなす窒化シリコン膜1と、半導体膜を形成するための非晶質シリコン膜17と、チャンネル保護膜を形成するための窒化シリコン膜19との3層の膜を連続して堆積した後、反応ガスの供給を停止し、50 mTorrまで減圧する。

【0042】そして、ガラス基板10を、反応室111から搬送室及び排出室(図示せず)を経てCVD装置101の外に導く。

【0043】(3)それ以降の工程

この後、図4(c)に示すように、a-Si薄膜17を島状にパターンニングしてTFTの活性層18を作成し、次いでゲート電極13aをマスクとした裏面露光により、ゲート電極13aに自己整合されたチャンネル保護膜20を作成する。

【0044】さらに、図3(d)に示すように、ITO(Indium Tin Oxide)を成膜しパターンニングすることにより画素電極21を作成する。また、n⁺a-Siを堆積しパターンニングして低抵抗半導体膜25a、25bを形成した後、下層のモリブデン(Mo)、中間層のアルミニウム(Al)及び上層のモリブデン(Mo)の3層積層金属膜からなる導電体層29を堆積する。この後のパターンニングにより、図3(e)に示すように、チャンネル保護膜20上の低抵抗半導体膜25a、25b及び導電体層29を切断するとともに、画素電極21に接続するソース電極31と、信号線33及びこれと一体のドレイン電極35とを作成する。

【0045】以上のように作成されたアレイ基板を用い、常法にしたがいアクティブマトリクス液晶表示装置を完成させた。詳しくは、アレイ基板と対向基板とを、所定の間隔をなすようにして貼り合わせ、この間隙に液晶を注入した後、駆動回路系を実装した。

【0046】また、必要に応じてアレイ基板及び対向基板の外表面に偏光板を貼り付けた。

【0047】(プラズマCVD装置のセルフクリーニング、オーバコート)さて、上記のようにアレイ基板を所定枚数処理した後に、反応室111内部をクリーニングする必要がある。

【0048】そのため、まず、反応室111からガラス基板10を搬出した後に、クリーニングガス供給系161を用いて、セルフクリーニングを行う。

【0049】具体的には、クリーニングガス供給系161から三フッ化窒素及びアルゴンを反応室111内部に供給し、反応室111内部をセルフクリーニングする。

その後、このクリーニングガスを排気系171から排出する。

【0050】そして、このクリーニングガスの影響を抑さえ、かつ、パーティクルの発生を抑制するためにオーバーコートを行う。

【0051】このオーバーコートは、セラミック又はアルミニウムよりなる反応室111内部の内壁に、3層の成膜を行うものである。すなわち、内壁の上に窒化シリコン膜を形成し、その上に非晶質シリコン膜を形成し、さらにその上に窒化シリコン膜を同じ厚さで形成するものである。

【0052】このように、3層のオーバーコートを形成することにより、クリーニングガスの影響によって、TF Tのしきい値電圧 V_{th} が高くなったり、電子の移動度が低くなることはなく、かつ、パーティクルの数を最小限に押さえることができる。

【0053】(実験結果) 上記のような3層構造が最もよいオーバーコートであるという理由を、実験結果に基づいて説明する(図5及び図6参照)。

【0054】まず、図5において、窒化シリコン膜と非晶質シリコン膜の成膜条件を説明する。

【0055】窒化シリコン膜は、反応ガス供給系151からシラン、アンモニア、窒素を用いて成膜されるものであり、その応力は、伸張方向(Tensile)で 3×10^9 (dyn/cm²)である。

【0056】非晶質シリコン膜は、シランと水素によって成膜されるものであり、その応力は圧縮方向(Compressive)で 2×10^9 (dyn/cm²)である。

【0057】上記のような成膜条件において、次のように各例を成膜した。

【0058】第1の比較例においては、非晶質シリコン膜を単層で30秒間成膜した。

【0059】第2の比較例においては、窒化シリコン膜を単層で30秒間成膜した。

【0060】第3の比較例においては、窒化シリコン膜と非晶質シリコン膜を2層で成膜したが、窒化シリコン膜を10秒間成膜し、非晶質シリコン膜を30秒間成膜した。

【0061】本実施例においては、窒化シリコン膜を10秒間成膜し、非晶質シリコン膜を10秒間成膜し、窒化シリコン膜を10秒間成膜し、それぞれ同じ厚さに成膜した。

【0062】第4の比較例においては、窒化シリコン膜を10秒間成膜し、非晶質シリコン膜を20秒間成膜し、非晶質シリコン膜を10秒間成膜することにより、非晶質シリコン膜が他の2層よりも厚く成膜した。

【0063】上記のような本実施例と4つの比較例において、TF T特性を示すしきい値電圧 V_{th} (V)と電子の移動度 (cm²/VS)とパーティクル数の実験結果を示したものが図6である。

【0064】第1の比較例では、 V_{th} は1.5 (V)と低い、パーティクル数が450個と多くなる。

【0065】第2の比較例では、パーティクル数は80個と抑制できるが、 V_{th} は3.0 (V)と高くなる。

【0066】第3の比較例では、 V_{th} は1.4 (V)と低い、パーティクル数が500個と多くなる。

【0067】本実施例では、電子の移動度が0.91 (cm²/VS)と他の例より高く、 V_{th} が1.1 (V)と低くなってTF T特性は良好となっている。また、パーティクル数も77個と抑制されている。

【0068】第4の比較例では、TF T特性は本実施例と同じ程度であるが、パーティクル数が150個とやや多くなる。

【0069】以上の実験結果により、本実施例のように、窒化シリコン膜と非晶質シリコン膜と窒化シリコン膜を同じ厚さで3層にオーバーコートする方法が最もTF T特性が良好になると共に、パーティクル数が抑制できることが判明した。

【0070】この理由を実験結果から考察すると、次のように考えられる。

【0071】・第1の理由

クリーニングガスの影響によって、TF T特性が悪くなるが、第1の比較例に基づくと、非晶質シリコン膜によってそのクリーニングガスの影響を抑制できると考えられる。

【0072】・第2の理由

反応室111の内壁とオーバーコート膜の密着性を上げるとパーティクル数が減る。この観点から実験結果を見ると窒化シリコン膜を最下層にすることによって、パーティクル数が抑制できると考えられる。

【0073】・第3の理由

第3の比較例と本実施例を比較した場合に、最も表面に出ている層を窒化シリコン膜にすることによって、パーティクル数が押さえられると考えられる。

【0074】・第4の理由

本実施例と第4の比較例を比較した場合に、本実施例のように3つの層を同じ厚さに成膜することによって、TF T特性が良好となり、パーティクル数も抑制できると考えられる。

【0075】・第5の理由

図5に示すように、窒化シリコン膜の応力が、伸張方向で 3×10^9 (dyn/cm²)であり、非晶質シリコン膜の応力は圧縮方向で 2×10^9 (dyn/cm²)であるため、窒化シリコン膜と非晶質シリコン膜と窒化シリコン膜の3層を同じ厚さで成膜すると、互いの応力がうち消し合って剥がれにくくなると考えられる。

【0076】以上の5つの理由により、窒化シリコン膜と非晶質シリコン膜と窒化シリコン膜の3層を同じ厚さで成膜するのが最もよいと考えられる。

【0077】

【発明の効果】以上により、本発明であると、プラズマCVD装置の反応室内部をクリーニングガスでセルフクリーニングした後、反応室の内壁に窒化シリコン膜よりなる第1の膜を形成し、その上に非単結晶シリコン膜よりなる第2の膜を形成し、その上にさらに窒化シリコン膜よりなる第3の膜を形成してオーバーコートすることによって、TFT特性が良好となり、かつ、パーティクル数も抑制することができる。

【図面の簡単な説明】

【図1】薄膜トランジスタの模式的な積層断面図である。

【図2】窒化シリコン膜その他を成膜するプラズマCVD装置の全体構成を示すブロック図である。

【図3】図2のプラズマCVD装置における反応室の模式的な縦断面図である。

【図4】TFTの製造工程を説明するための各工程にお

*ける積層断面図であり、(a)は、ゲート電極のパターン形成後、(b)は、図2～3のプラズマCVD装置による成膜後、(c)は、半導体膜及びチャネル保護膜の形成後、(d)は、画素電極及び低抵抗半導体膜を作成し、上層金属層を堆積した後、(e)は、バックチャネル部の除去及びソース・ドレイン電極の作成後を、それぞれ示す。

【図5】窒化シリコン膜と非晶質シリコン膜の成膜条件を表した表の図である。

【図6】実験結果を示す表の図である。

【符号の説明】

101・・・プラズマCVD装置

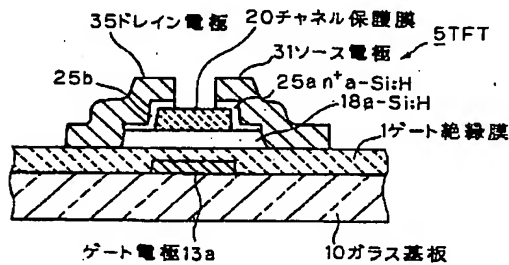
111・・・反応室

151・・・原料ガス供給系

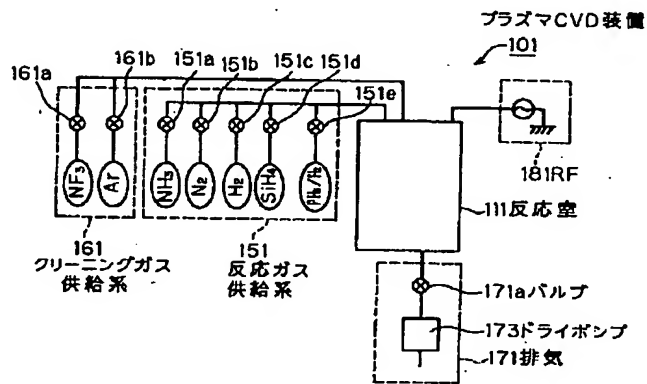
161・・・クリーニングガス供給系

171・・・排気系

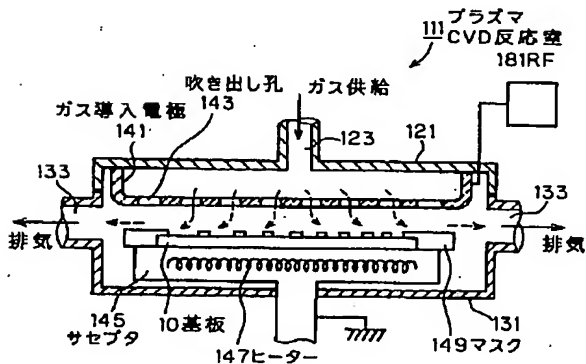
【図1】



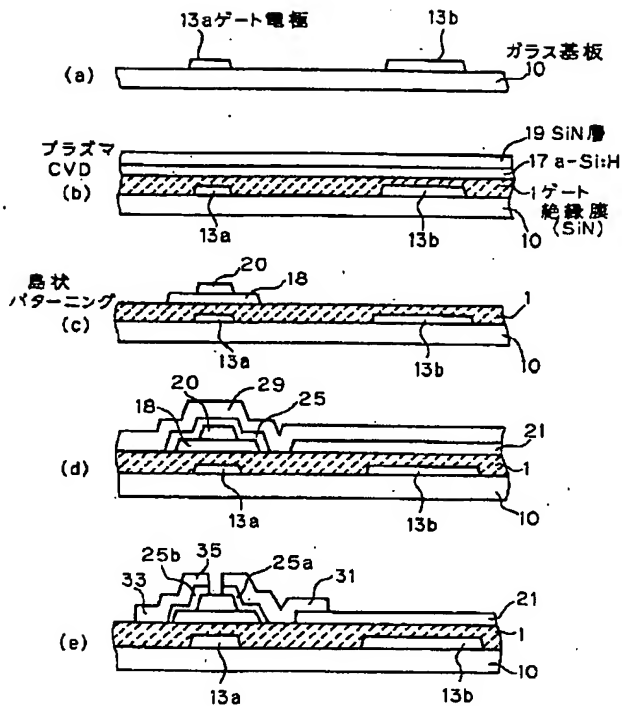
【図2】



【図3】



【図4】



【図5】

成膜条件

	SiH ₄	NH ₃	N ₂	H ₂	Power (W)	Pressure (Torr)	電極間距離 (mil)	応力 (dyn/cm ²)
SiN	300	1500	10500		300	1.2	1050	3×10 ⁹ (T)*
a-Si	600			2100	500	1.2	1050	2×10 ⁹ (C)*

*C:Compressive, T:Tensile

【図6】

	膜構造	Vth (V)	移動度 (cm ² /Vs)	パーティクル数(≥1μm) (個)
第1の比較例	a-Si(30sec)	1.5	0.83	450
第2の比較例	SiN(30sec)	3.0	0.85	80
第3の比較例	SiN(10sec)/a-Si(30sec)	1.4	0.82	500
実施例	SiN(10sec)/a-Si(10sec)/SiN(10sec)	1.1	0.91	77
第4の比較例	SiN(10sec)/a-Si(20sec)/SiN(10sec)	1.0	0.85	150

フロントページの続き

F ターム(参考) 4K030 AA06 AA13 AA17 AA18 BA30
BA40 BB12 CA06 CA12 DA06
KA08 KA46 KA47 LA18
5F045 AA08 AB04 AB32 AB33 AC01
AC02 AC12 AC15 AD07 AE21
AF07 BB15 CA15 DC51 DP03
EB06 EB08 EC05 EH05 EH14
EK07 EM03
5F058 BA20 BB07 BD01 BD04 BD10
BE10 BF07 BF23 BF29 BF30
BG01 BG02 BG10 BJ10
5F110 AA01 BB01 CC07 DD02 EE06
FF02 FF03 FF09 FF30 GG02
GG15 GG25 GG45 HK03 HK04
HK07 HK09 HK16 HK22 HK25
NN12 NN24 NN35 NN73 QQ09
QQ12